

# **Mikrokontrolleres oktatási gyakorló**

**Tartalomjegyzék**

1.	A 80C552 bázisú mikrogép .....	2
1.1.	A központi egység .....	2
1.2.	A memóriák felosztása.....	3
1.3.	A Portok kivezetése, illesztése .....	5
1.4.	A memóriába-ágyazott perifériák, és illesztők.....	5
1.5.	Diszkrét bemenetek .....	6
1.6.	Bájtos perifériák .....	8
1.7.	RS232 soros vonali illesztő.....	11
1.8.	220VAC tápegység.....	12
2.	A PB80C552 típusú mikrokontroller .....	12
2.1.	A T2 számláló-időzítő .....	13
2.2.	A P5 port, és a nyolc csatornás A/D átalakító.....	16
2.3.	2 csatornás PWM kimenet .....	18
2.4.	I2C buszon történő soros kommunikáció .....	19
2.5.	Megszakítások .....	23
2.6.	WATCH DOG számláló .....	24

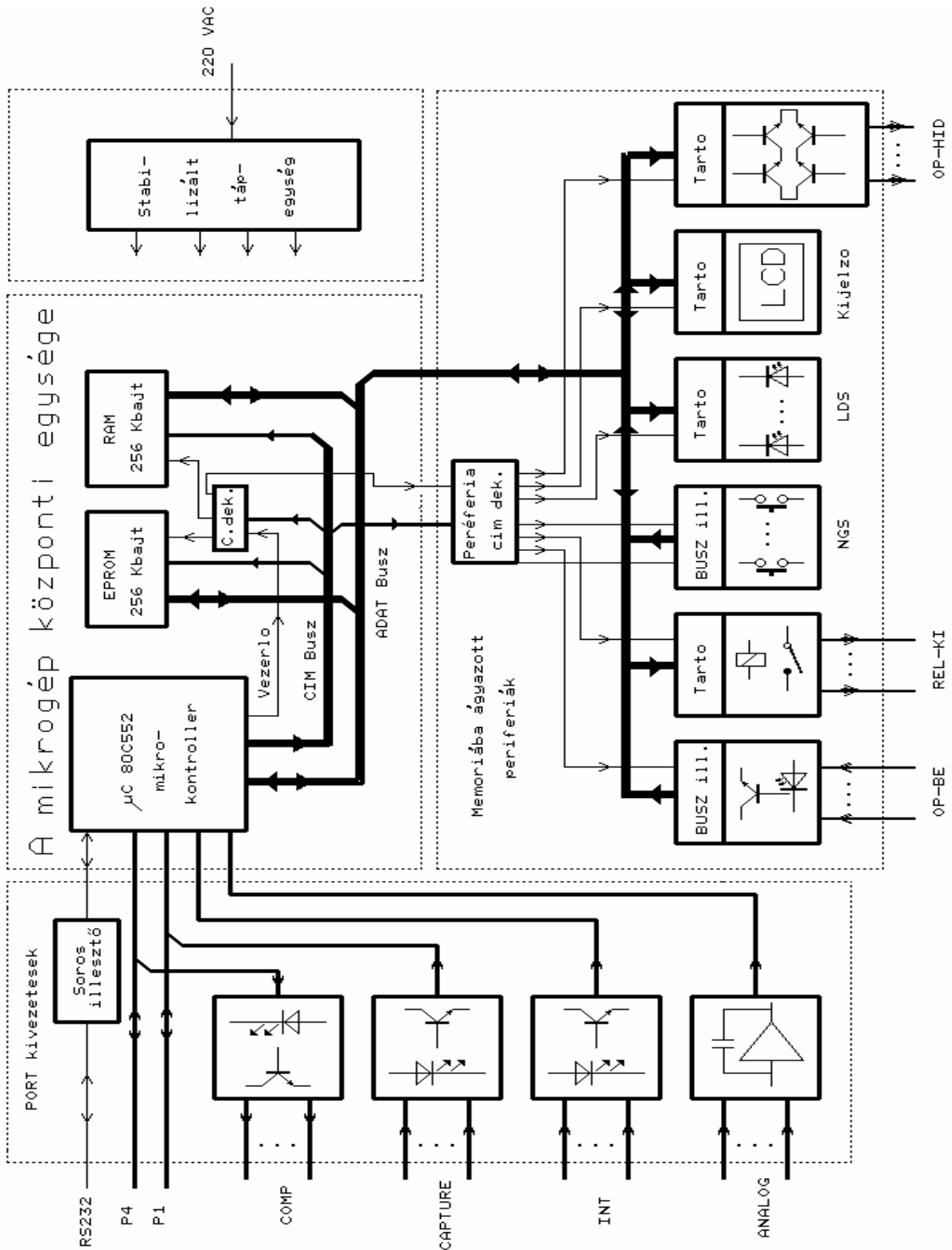
**1. A 80C552 bázisú mikrogép**

A berendezés blokk-vázlata látható a 1. ábrán. A berendezés négy fő egységre tagolható.

**1.1. A központi egység**

A 8031/51 családba tartozó **PB80C552** típusú (Philips gyártmányú) **mikrokontroller** felhasználásával készült. Részei:

- a **mikrokontroller** (80C552),
- a **monitorprogramot** tartalmazó – 32 kbájtos – **EPROM** (27256),
- külső **adatmemória** (XDATA), valamint a fejlesztett **alkalmazói** program tárolására alkalmas 32 kbájtos **RAM** (62256),
- **címdekódoló**, amely biztosítja a **Neumann** -rendszerű memóriakezelést.



1. ábra

## 1.2. A memóriák felosztása

A Digitális technikában megismert **8031/51** mikrokontroller család *külön kezeli* a külső **program** (CODE) memóriát, illetve a **külső adatmemóriát** (XDATA). A másik jellemző, hogy nincs külön **periféria** hozzáférés, csak **memóriába ágyazott** perifériailllesztést kell megvalósítani. Az ismertetett mikrogép központi egységében található címdekóder egység,

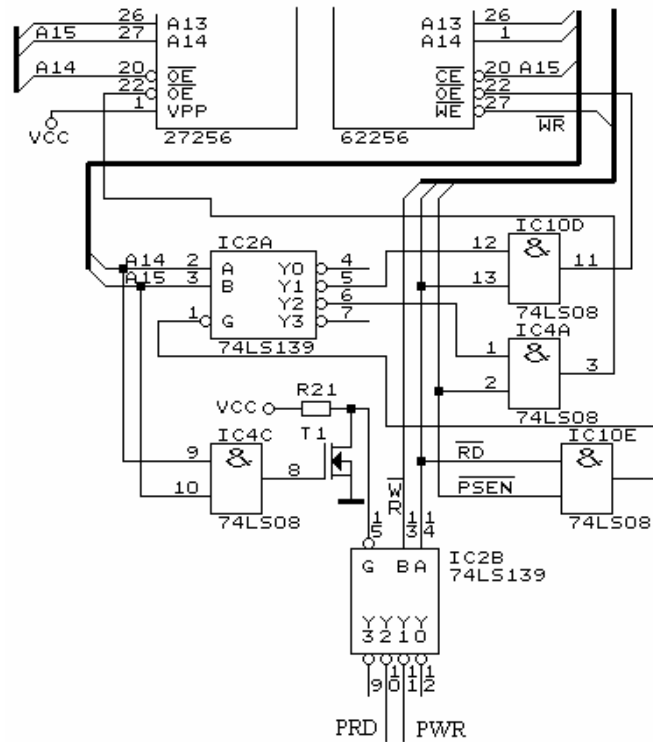
az **A14-A15** címbitek értékétől függően **négy szegmensre** osztja a 64 kB-át memóriaterületet. A szegmentálás lényege, hogy az **EPROM**, illetve a **RAM** az egyes memóriaterületeken más-más **engedélyező** (A14, A15), illetve **vezérlő** jeleket (RD, WR, és PSEN) kap.

- Az egyes **memória - chipek** engedélyezése: az **EPROM** engedélyezése (CE) az **A14**, míg a **RAM** engedélyezése, pedig az **A15** címbittel történik. Ezért az **EPROM**-ból a **0000H – 3FFFH** (1. szegmens), illetve a **8000H – 0BFFFH** (3. szegmens) címtartományokban lehet **olvasni**, míg a **RAM** a **0000H – 7FFFH** (1. és 2. szegmensek) címtartományban **írható-olvasható**.
- Az egyes memóriák szegmensenként eltérően kapnak vezérlőjeleket. Az EPROM olvasó (OE) bemenetére az 1. szegmensben csak a **RD**, míg a 3. szegmensben a **RD**, vagy a **PSEN** jel jut ( a kettő egyidejűleg nem fordulhat elő). A RAM megfelelő bemeneteire (RD, ill, OE) az **1. szegmensben** a RD, illetve a WR jelek, míg a **2. szegmensben** a RD, vagy a PSEN **olvasó**, valamint a WR **író** jelek jutnak.
- A memóriába ágyazott perifériák **PWR** jelű író, illetve a **PRD** jelű olvasó jeleket a dekódoló a **4. szegmensben** (0C000H – 0FFFFH címtartomány) állítja elő.

A leírt megoldás azt biztosítja, hogy:

- az **1. szegmensben** a mikrokontroller eredeti memóriakezelése (HARDWARE rendszer) valósul meg, vagyis a RAM csak külső adatmemóriaként (XDATA) kezelhető. Az EPROM-ban a saját rendszerprogram (monitor) érhető el.
- A **2. szegmensben** a NEUMAN –filozófia szerint program (code), illetve adat is tárolható. A programfejlesztés ebben a szegmensben történhet a legkönnyebben, mivel a RAM –ba írás könnyen megoldható a monitorprogramban.
- A **3. szegmensben** csak az EPROM érhető el, de a az olvasás vagy a RD, vagy a PSEN jellel is megvalósul. A megoldás biztosítja, hogy a MOVX utasítással is történhet olvasás a területről (pl. táblázatok olvasásakor).
- A **4. szegmensben** helyezhetők el a memóriába ágyazott perifériák. A megvalósított mikrogépben a perifériákhoz csak az A0, A1, A2, és A3 címbitek kerültek kivezetésre. A gépen csak 16 bemeneti, illetve 16 kimeneti periféria illesztését lehet megoldani, és a címzés, pedig redundáns.

A leírtak szerint működő „címdekódoló” kapcsolási vázolata látható a 20. ábrán.



2. ábra

### 1.3. A Portok kivezetése, illesztése

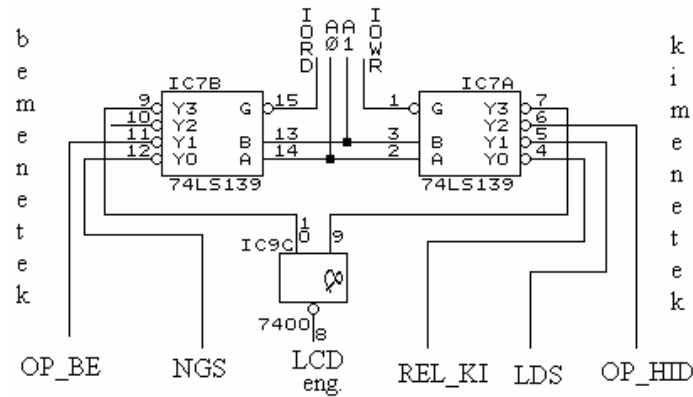
- a kontroller **P1**, és **P4** portjai közvetlenül elérhetők,
- optocsatolón keresztül vezérelhetők a **P1** port másodlagos funkcióit alkotó **CAPTURE** bemenetei,
- ugyancsak optocsatolón keresztül érhető el a **P4** port, amikor **COMPARE** funkcióban alkalmazzuk,
- a **P3** port bitjei csak a másodlagos funkcióban érhetőek el, egyrészt a Soros illesztőn (RD,WR), illetve optocsatolón keresztül a számláló bemenetek (T0,T2),
- a **P5** port minden bitje aluláteresztő szűrőkön keresztül érhető el, és használható analóg, illetve diszkrét bemenetként.

### 1.4. A memóriába-ágyazott perifériák, és illesztők

- a készülék „belső” perifériái, a nyolcelemű *nyomógombosor* (NGS), az ugyancsak nyolcelemű *LED sor* (LDS), valamint a 2x16 karakteres *LCD kijelző*,

- a „külső” perifériákat illesztő nyolcbites *optocsatolós bemenet* (OP\_BE), a nyolcbites *relés kimenet* (REL\_KI), és az optocsatolt tranzisztoros *teljes híd* (OP\_HID).

A perifériák *címdekódolása* látható a 22. ábrán.

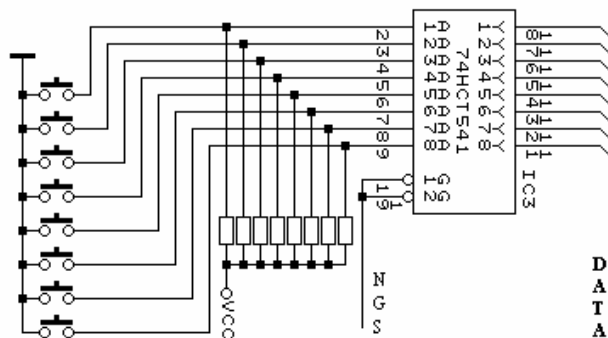


3. ábra

### 1.5. Diszkrét bemenetek

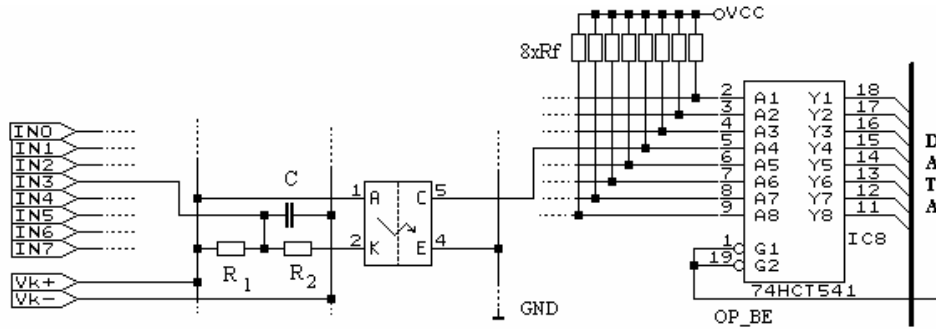
A *bájtos* bemeneteket *8 bites tri-state* áramkörök illesztik a DATA buszhoz. A kapuk átvitelét az IC7B dekoder (3. ábra) engedélyezi

A nyomógombokat (NGS) illesztése látható a 4. ábrán. A tri-state áramkör engedélyezése Y0 (NGS) kimenetről történik. A beolvasás – mivel nincs teljes dekódolás - az 11xx xxxx xxxx xx00B címről végezhető. A gyakorlatban x=0 értéket vegyük, s így 0C000H lesz a nyomógombsor címe.



4. ábra

Külső eszköztől végezhető beolvasás a 5. ábra szerinti optocsatolt bemeneteken keresztül. A kapcsolódó tri-state áramkör átvitelét dekoder Y1 (OP\_BE) jele engedélyezi. A beolvasás címe – az előző okfejtés alapján - 0C001H.



5. ábra

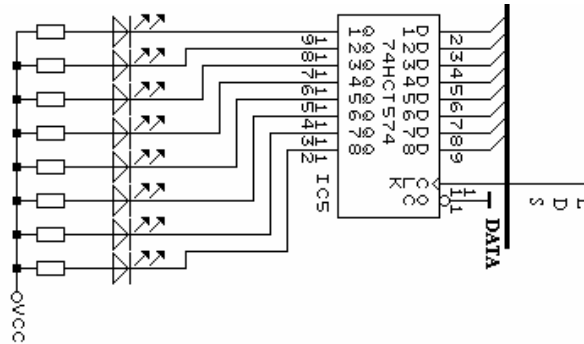
Az **optocsatoló** külső – dióda felőli – oldalát csak külső **DC** tápforrás alkalmazásával lehet meghajtani. Az alkalmazott tápegységet  $V_{k+}$  és  $V_{k-}$  pontokhoz kell, **polaritás helyesen** csatlakoztatni! A bemenetekhez érintkezős kapcsolók, nyomógombok, vagy félvezető csatlakoztathatók. Az alkalmazott kapcsolóelem aktiválásakor az **U<sub>k</sub>** potenciálú pontot kell az **IN<sub>x</sub>** pontra kapcsolja! Bemenethez csatlakozó **C** tag zajsűrítő. Az **R<sub>1</sub>** ellenállás biztosítja a bemenet felhúzását, amikor „szakadás” van a bemeneten (pl. az érintkezős kapcsolóelem átváltásakor). Az **R<sub>2</sub>** a bementi dióda áramát beállító ellenállás. A külső tápfeszültség 12 – 24 VDC lehet.

### 1.5..1. Diszkrét **kimenetek**

A mikroszámítógépekben a kimeneti jeleket mindig tárolni kell, mivel az adat-buszon csak egy utasításciklus idejéig érvényes az aktuális adat. A tárolók tartalmát csak egy újabb írás módosíthatja.

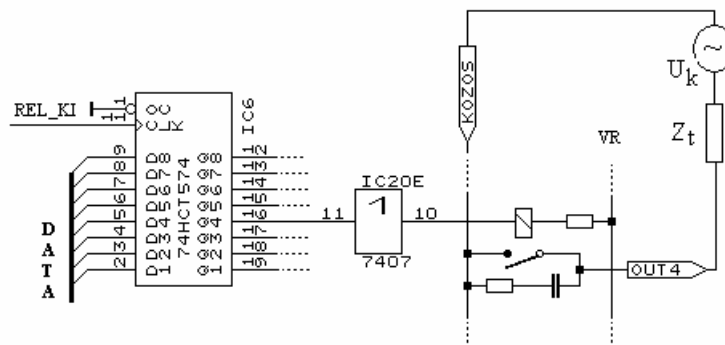
A **bájtos** kimeneteket egy-egy **8 bites tri-state** D-tároló (Latch) áramkör illeszti a DATA buszhoz. A tárolókba történő írást az IC7A dekoder (3. ábra) egyes kimenetei vezérlik

A nyolc db LED (6. ábra) tárolójába a beírást – a kimeneteket vezérlő - dekoder Y1 (LDS) jele engedélyezi. Az adatkivitel – az előző okfejtés alapján - 0C001H címre kell, történjen.



6. ábra

A nyolc db relé (7. ábra) tárolójába a beírást – a kimeneteket vezérlő - dekóder Y0 (REL\_KI) jele engedélyezi. Az adatkivitel – az előző okfejtés alapján - 0C000H címre kell, történjen. A relék érintkezőivel párhuzamosan kapcsolt RC tagok – induktív terhelésnél – levezetik a túlfeszültséget, és védik az érintkezőt a beégés (ívhúzás esetén) ellen.



7. ábra

A külső terhelést ( $Z_t$ ), és tápegységet ( $U_t$ ) az ábra szerint kell csatlakoztatni. Mind a nyolc kimenet ugyanazon közös potenciált kapcsolja. A terhelések más-más tápegységről is működtethetők, de ezek nem lehetnek egymástól potenciál-függetlenek!

## 1.6. Bájtos perifériák

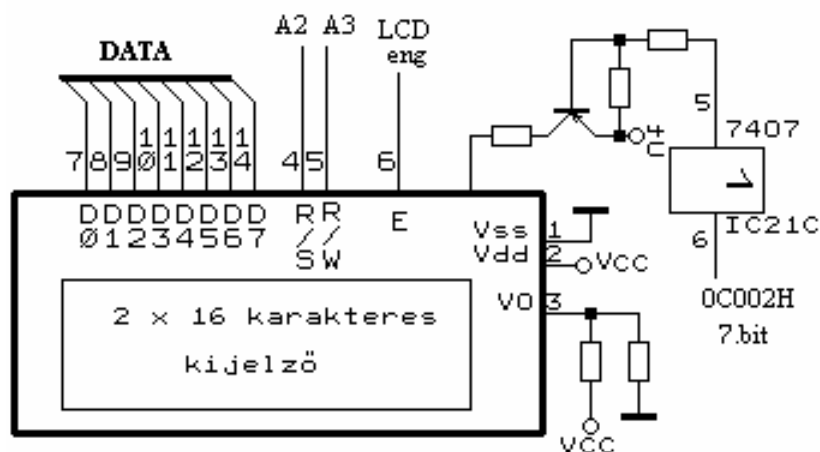
A mikrogép két, **bájtos perifériája** a 2x16 karakteres **LCD kijelző** (LCK) és az optocsatolt **tranzisztoros hidak** (OP\_HID).

- Az LCD kijelző (LCK)

A kijelző (8. ábra) ugyancsak egy mikrogép amellyel, *párhuzamos* adatátvitellel lehet kommunikálni.

A kijelző mikrokontrollerében is két, funkciójában elkülönülő memóriaterület van. Az egyik területen vannak az *adatregiszterek*, amelyekben tárolt adatokat jeleníti meg az LCD kijelzőn. A másik memóriaterületen vannak az *üzemmód-*, és *állapotregiszterek*. Az adatregiszterek írhatók-olvashatók. A másik területre történő írás az üzemmódot állítja, míg az innen történő olvasás az állapotot adja vissza.

A 128 bájtos adatmemória első felének bármelyik – egymást követő - 16 regiszter tartalma a felső soron, míg a további 64 bájtból 16 az alsó soron jelenik meg. A kiírandó karaktert *ASCII kódolással* kell beírni a regiszterekbe. A tartalom megjelenítése bármelyik regisztertől kezdődhet. A megjelenített szöveg mindkét irányba léptethető, karakterek villogtathatók stb. a különböző *vezérlőszavak* segítségével.



8. ábra

Az adatátvitel a *D0 ... D7* adat-buszon történik. A vezérlést az *E*, az *R/S*, illetve *R/W* lábakra adott jelek végzik. Nézzük meg e jelek feladatait.

Az *E* (Enable) bemenetre adott magas szintű jel engedélyezi az adatátvitelt, és annak megkezdése előtt kell kiadni.

Az *R/S* (Regiszter / Status) bemeneten választható ki, hogy mely memória terület a kommunikáció célja, vagy forrása. Az  $R/S=1$  értéknél az adatmemória, illetve vezérlést írunk, vagy státuszt olvasunk  $R/S=0$  esetén az üzemmód/állapot regiszterek.

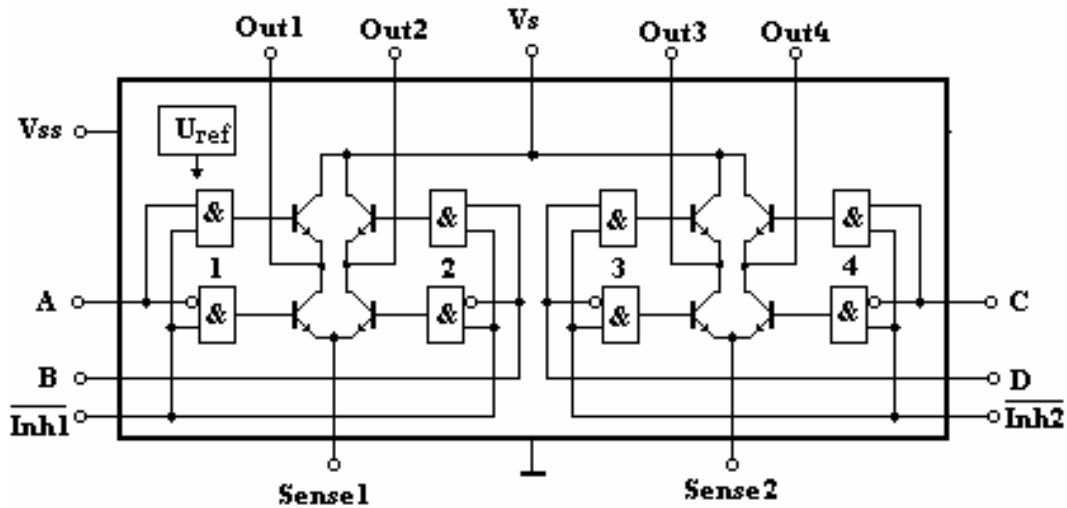
Az *R/W* (Read / Write) bemenetre adott vezérlőjel logikai szintje határozza meg az adatforgalom irányát. Olvasás  $R/W=1$ , illetve írás az  $R/W=0$  értéknél történik.

Az **LCD** kijelző illesztése olyan, hogy a **négyféle adatátvitel** különböző memóriacímekről való olvasással, illetve írással végezhető. A 14. és a 19. ábrák alapján jól követhető, hogy a kijelző engedélyezése – mindkét irányú adatátvitelnél – az  $A0 = A1 = 1$  értéknél történik. Az **R/S** bemenetre jutó **A2** címbit határozza meg az adat, vezérlő funkciót, mégpedig  $A2=0$  értéknél **adat**, míg  $A2=1$  értéknél **vezérlés** történik. Az **R/W** bemenetre csatlakozó **A3** címbit **0** értékénél **írás**, míg **1** értékénél **olvasás** történhet.

Az LCD kijelző **élessége** a 3-as lábra kapcsolt ellenállás-osztóval állítható be. A 27. ábrán látható tranzisztros kapcsoló a **háttér-világítást** vezérli.

➤ Az optocsatolt tranzisztros **teljes híd** (OP\_HID).

Az LM298 típusú – két teljes-híd magában foglaló – IC alkalmas DC, vagy léptetőmotorok hajtására. Elvi kapcsolási vázlata látható a 9. ábrán.



9. ábra

A 10. ábrán szemléltettük a híd illesztését a mikrogép busz-rendszeréhez. Optocsatolás illesztés biztosítja a külső egységek potenciál független leválasztását. A híd digitális vezérlése 5 V -os szinttel történhet, míg a híd teljesítmény-tranzisztorai 30 V ra is kapcsolhatók. A feltételeket úgy biztosítjuk, hogy a külső tápfeszültségből egy 5 V -os stabilizátor állítja elő a vezérlési szintet.



## 1.8. 220VAC tápegység.

Kapcsolóüzemű megoldásban 5 VDC (V<sub>cc</sub>), és 12 VDC (V<sub>r</sub>) feszültségeket állít az **IC**-k (V<sub>cc</sub>), valamint a **relék**, **LED** –ek (V<sub>r</sub>) tápellátásához. Az optocsatolt külső egységek, tápellátását külön kell biztosítani.

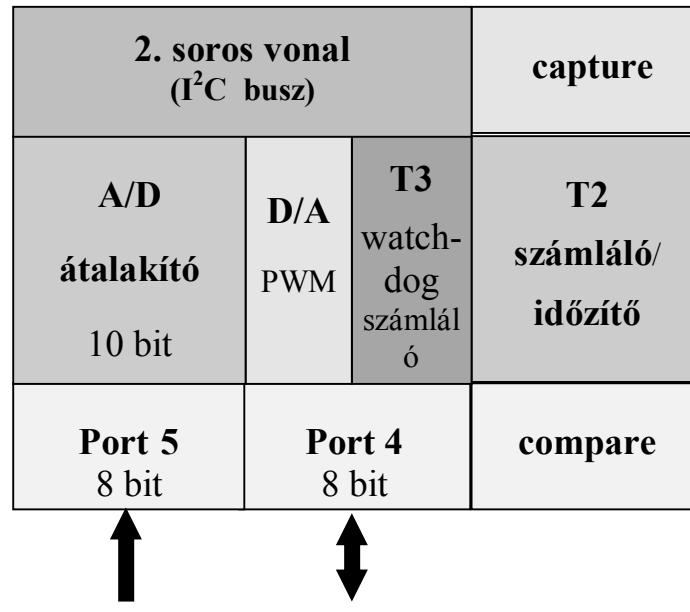
## 2. A PB80C552 típusú mikrokontroller

A **Philips** gyártmányú mikrokontroller tagja a **8031/51** mikrokontroller **családnak**. A család minden tagjában **közös** részt a Digitális technika II. tantárgyban – a **Kontroller** című anyagrészen – ismerték meg. Az itt tárgyaltakban csak az eltérő perifériák ismertetésére, illetve azok használatára térünk ki.

A **perifériabővítéseket** a 12. ábra mutatja.

- **Két** új számlálót (T2, T3),
- A **T3** számlálóhoz kapcsolt WATCH -dog funkciót,
- **második** soros vonali illesztőt (I2C busz),
- **két** új Port -ot (P4, P5),
- a **T2** számlálóhoz csatolt **capture** (mintavételező) funkciót,
- a **T2** számlálóhoz csatlakozó, és a P4 port másodlagos funkcióját adó **compare** (összehasonlító) funkciót,
- a csak bemenetként kezelhető – **Schmitt** triggeres illesztésű – **P5** port –ot,
- a P5 port másodlagos funkciójaként 8 csatornás, 10 bites **A/D átalakítót**,
- 2 db – változtatható frekvenciájú – **PWM** egységet,
- valamint 10 db új **megszakítási** (interrupt) lehetőséget

integráltak ebbe a mikrokontroller típusba.



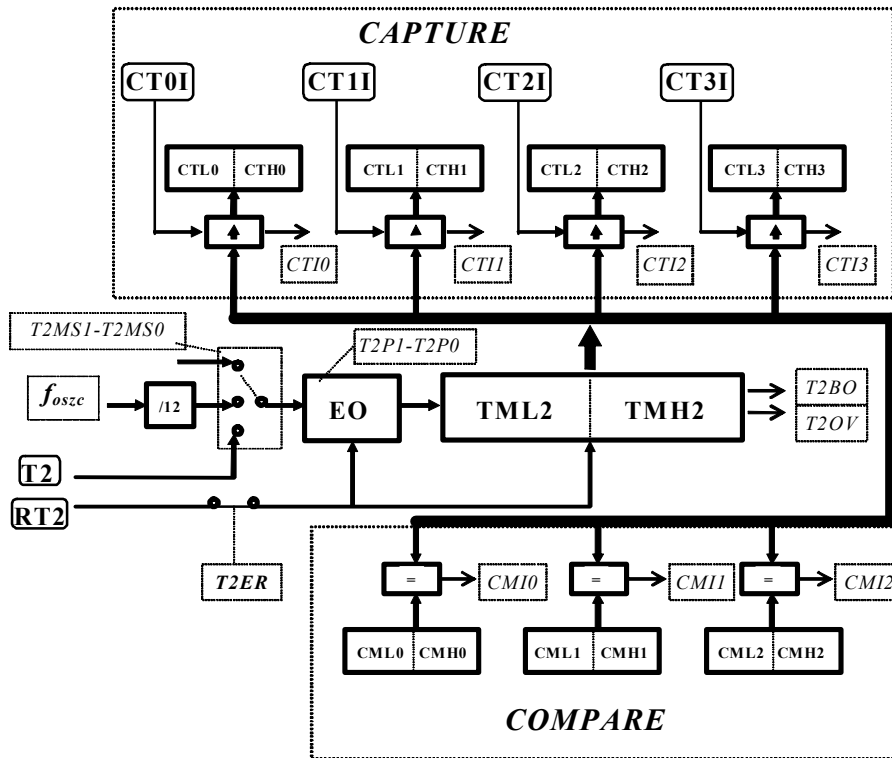
12. ábra

A következőkben röviden foglalkozunk a felsorolt egységek tulajdonságaikkal, használatukkal, program-kezelésükkel..

### 2.1. A T2 számláló-időzítő

A T2 programozható időzítő/számláló blokkvázlata a 13. ábrán látható.

- A **TML2**, **TMH2** jelölésű - csak olvasható - funkció-regiszterek egy 16 bites előre-számlálót alkotnak,
- a számlálandó jelet egy **előosztó (EO)** – üzemmód beállítástól függően – 1, 2, 4, vagy 8 – al osztja,
- a **T2** külső lábára kapcsolt külső-, vagy az **fo/12** jelforrás impulzussorozatát a programozható kapcsolón keresztül csatlakozik az előosztóra,
- a számláló alsó bájtjánál a **T2BO**, míg felső bájtjánál a **T2OV** bit tárolja a túlcsoordulást (a kettő közül, beállítástól függően csak az egyiket lehet felhasználni jelzésre),
- a számláló, és az előosztó az **RT2** jelű lábára adott (1-0-1 lefolyású) impulzussal törölhető, ha az a **T2ER** bit 1 értékű,
- a T2 aktuális értéke a 16 bites belső adat-buszon keresztül csatlakozik a **capture** (mintavételező), illetve **compare** (összehasonlító) egységekhez,



13. ábra

A *mintavételező* (capture) funkcióval oldható csak meg, hogy a T2 *mindkét* bájtjának tartalmát *egyidejűleg* ki lehessen *olvasni*. A program egy utasításával csak egy bájt olvasható. Következésképpen, ha szükség van az aktuális 16 – bites adatra, a programból csak két – egymás utáni – utasítással történhet. Amennyiben a két olvasás között érkezik számlálандó impulzus, akkor a kiolvasott érték hibás lesz. Különösen akkor nagy a hiba, amikor az alsó bájt nál túlsordulás következik.

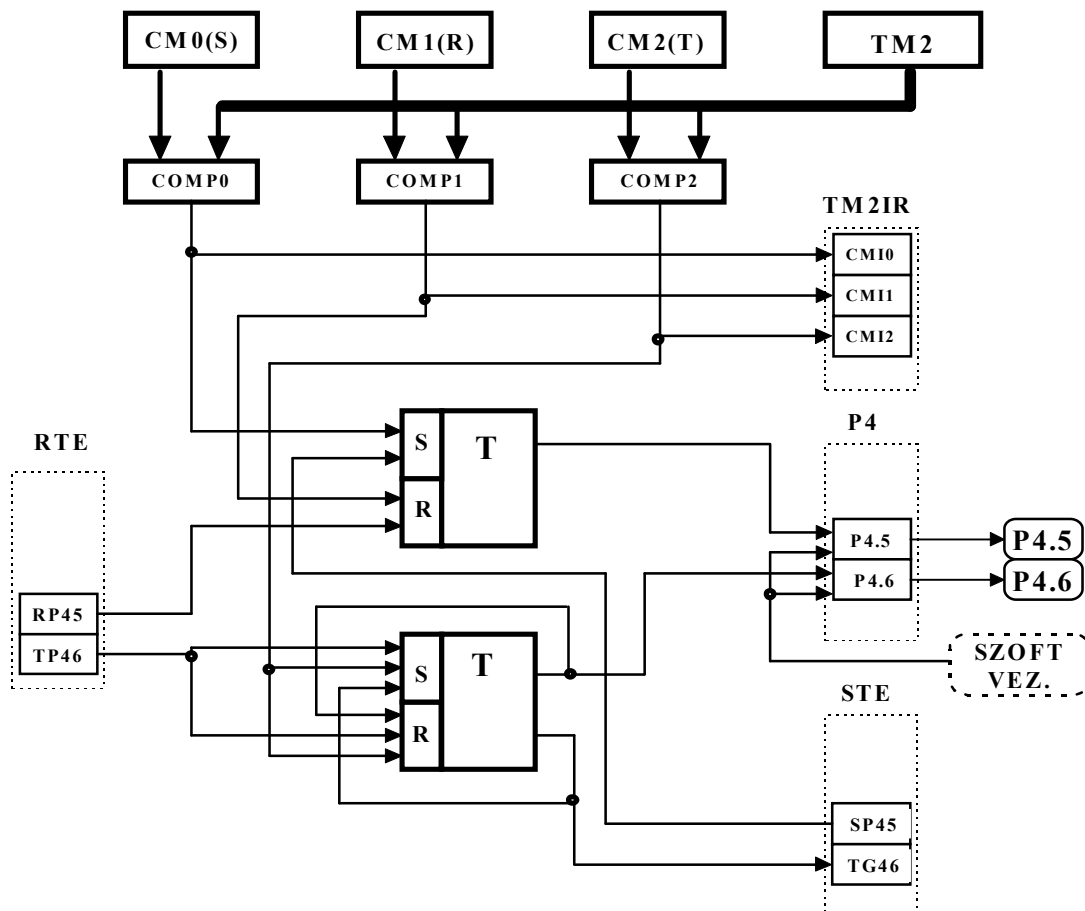
Vegyünk egy példát. Legyen az először olvasott bájt időpillanatában az aktuális számtartalom **23FF H**. Olvassuk először az alacsonyabb helyértéket, az **FF H** – t és azt tároljuk a belső memória egy adott címén. Ha a következő bájt kiolvasása előtt érkezik egy impulzus, akkor a számtartalom **2400 H** értékre módosul, és ezért a magasabb helyértékről kiolvasott, és letárolt értéke **24 H** lesz. A tárolt 16 bites adat tehát **24FF H** lesz, ami amely **256** –al nagyobb a tényleges értéknél. Ugyanilyen eltérést kapunk akkor is, ha az olvasás sorrendjét megfordítjuk. A leírt hibát küszöböli ki a mintavételező funkció.

A kontrollernél *négy* – eltérő időpontbeli - értéket lehet *mintavételezni*. Például a **CT0I** jelű külső lábra adott jelváltás hatására a **T2** számtartalma átíródik a **CTL0-CTH0** regiszterpárba. A hatásos *jelváltás* – üzemmód beállításától függően – *iránya* lehet *pozitív*,

*negatív*, vagy *mindkettő*. Ugyanakkor *megszakítást* is kezdeményezhet az adott jel, ha azt külön *engedélyezzük*. A leírtak mind a négy vezérlő bemenetre érvényesek.

Látható, hogy a mintavételezéseket külső jel vezérli, ezért a funkciót *külső események* között eltelt *idő* (az fo/12 számlálásakor), vagy harmadik (a T2 bemenetre kapcsolt) külső *esemény számának* meghatározására alkalmazhatjuk.

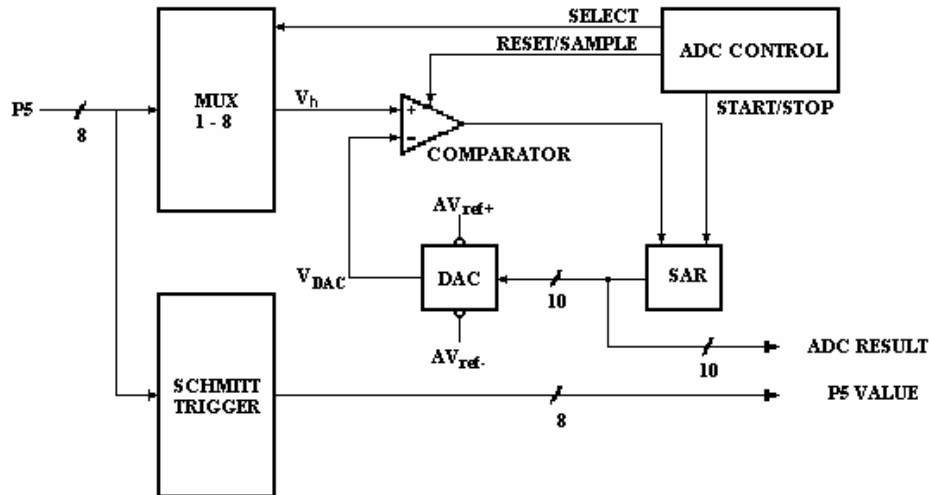
Az *összehasonlító* (compare) funkcióban – a három ún. *compare regiszter-párba* (CML0-CMH0, CML1-CMH1, CML2-CMH2) írt értéket egy-egy 16 bites *nagyság komparátor* folyamatosan *összehasonlítja* a T2 számláló tartalmával. Amikor a számtartalmak *megegyeznek*, akkor a komparátor *jelez*, és ha engedélyezett, akkor *megszakítást* kezdeményez. A leírt funkcióval, a számláló – a regiszter-párokba írt érték alapján – különböző értékeinél történhet *eseményvezérlés*. A vezérlés történhet szoftveres, vagy hardveres megoldással.



14. ábra

## 2.2. A P5 port, és a nyolc csatornás A/D átalakító

A **P5** – a többi port -hoz hasonlóan – szintén nyolc-bites, de csak – bitenként is – **bemenetként** használható. Elvi felépítése látható a 15. ábrán.



15. ábra

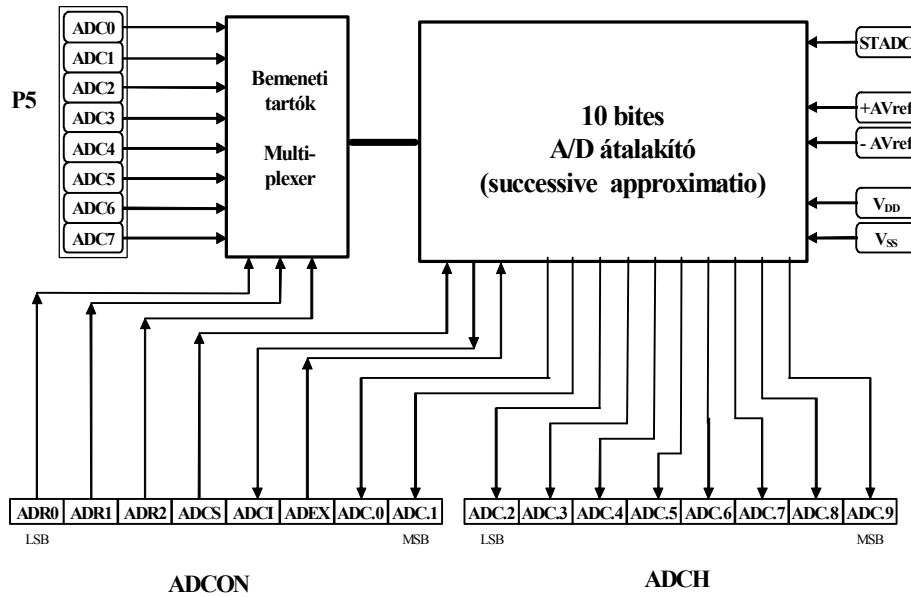
A port minden bementéhez két belső áramkör csatlakozik:

- egy **Schmitt-trigger**, illetve
- egy nyolc bemenetű **analóg multiplexer** egy bemenete.

Eltérően a többi port -tól, a Schmitt-trigger –es illesztés biztosítja, hogy az adott bementre adott jel jól meghatározott– u.n. **komparálási**, vagy billenési - szintjénél **vált állapotot** (billen) a port bitje. A leírt tulajdonság alapján a port bemeneti **jelszint komparálásra** is alkalmazható. A P5 SFR regiszter bájt-ként, illetve bitenként is olvasható.

A **nyolccsatornás** multiplexer kimenetéhez – successive approximatío elven működő – **10** bites **A/D** (Analóg - Digital) **átalakító** kapcsolódik.

A port **A/D** átalakítójához két SFR regiszter (az ADCON, és az ADCH) tartozik. Az átalakító bemenetére a **+AVref - -AVref referencia-feszültségtartományba** eső jelet alakít digitális információvá. A **referenciafeszültség** (AVref) nem lehet nagyobb a mikrokontroller ( $V_{DD}-V_{SS}$ ) tápfeszültségénél. A bemeneti multiplexerben csatornánként egy-egy tartóáramkör is van, amely szűrőként zajvédelmet szolgál. A teljes egységet szemlélteti a 16. ábra. Az ábra alapján foglaljuk össze az A/D átalakító használatát.



16. ábra

A 8 analóg jeleket az ADC0 ... ADC7 jelű IC lábakhoz kell csatlakoztatni.

Az analóg-digitális átalakító *használata* az alábbi *három* lépésben történik

- az átalakítás indítása, mely – üzemmód beállítástól függően - történhet csak szoftverből, illetve szoftver, vagy a – STADC - hardver bemenetről.
- a befejezés figyelése, amely a státusz-bit figyelésével (polling), vagy megszakítás felhasználásával történhet.
- a digitális eredmény *tárolása*, feldolgozása.

Az *A/D* egységhez két speciális funkcióregiszter (SFR), az *ADCON*, és az *ADCH* tartozik

Az *ADCON* regiszterben vannak a *vezérlő*, illetve a *status* bit:

- Három bit – *ADR0*, *ADR1*, *ADR2* – vezérli a multiplexert, hogy melyik bemeneti csatorna jelét csatlakoztassa az átalakítóra.
- Az *ADEX* bittel vezérelhető az indítási mód. A bit 0 értéknél csak szoftverből, míg 1 értéknél szoftverből, vagy hardveresen - a STADC bemenetre adott szinttel - indítható az átalakítás.
- Az *ADCS* bit 1-be írása indítja az átalakítást, de csak akkor, ha az *ADCI* bit 0.
- Az *ADCI* bit a status jelző, vagy megszakítás bit, amely 1 értéke az átalakítás végét jelzi. Amikor a megszakítás engedélyezett, akkor ez a bit indítja megszakítási

folyamatot. A bitet az eredmény kiolvasása után törölni kell. Csak ezt követően indítható újból az átalakítás.

A regiszterben lévő *ADC0*, és *ADC1* a 10 bites *digitális* eredmény *alsó* két bitje.

Az *ADCH* regiszterbe írja az átalakító az eredmény *felső nyolc* bitjét.

**Figyelem!** A két regiszter egyike *sem bitcímezhető*. A bitek állítása, lekérdezése csak *maszkolással* – bájtos írás, olvasás – történhet!

Az alábbi példa az A/D átalakítás vezérlő szubrutin forrásnyelvi alakja. A rutin meghívása előtt a B regiszterbe kell írni annak a csatornának a számát, amelynek a konverzióját végezzük.

```

AD_KONV:
        MOV     A,B           ;B-ben a csatornaszám
        ANL    A,#7         ;Maszkolás
        ORL    A,#00001000B ;ADCS startbit
        MOV    ADCON,A      ; Konverzió indítása

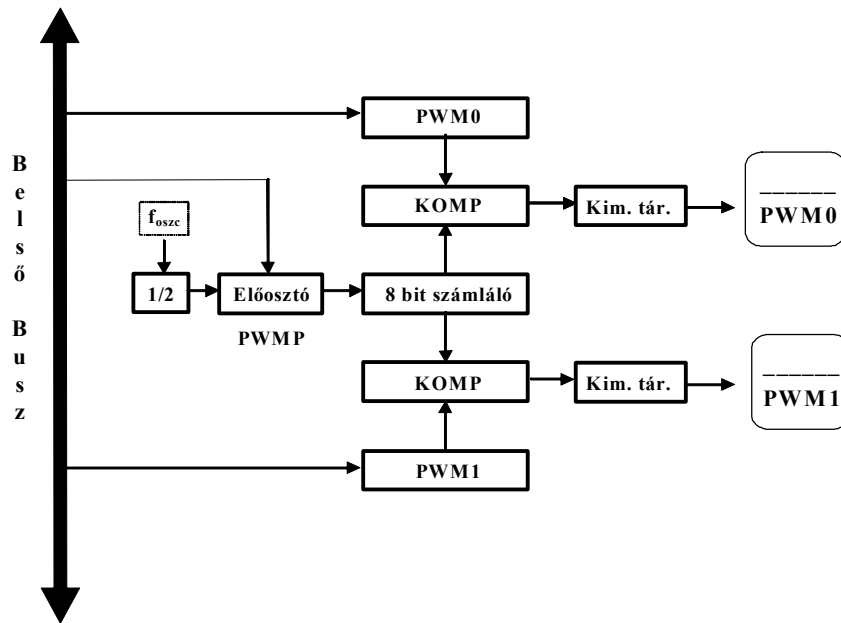
ADK_2:
        MOV    A,ADCON      ; ADCI status figyelése
        JNB   ACC.4,ADK_2
        MOV    @R0,ADCH    ;Felső 8 bit letétele az R0- al
        INC   R0
        MOV    A,ADCON      ; Az alsó két bit maszkolása
        ANL   A,#0C0H
        MOV    @R0,A        ;Alsó 2 bit letétele
        MOV    ADCON,#0    ;A status törlése
        RET

```

### 2.3. 2 csatornás PWM kimenet

A kontroller tartalmaz egy programozható kétcsatornás – nyolcbites – impulzusszélesség moduláló áramkört. Logikai vázlat a 17. ábrán látható.

Az áramkör 16 bites *bináris számláló*, amely az oszcillátor jelének ( $f_{oszc}$ ) *felét* számlálja. Az alacsonyabb bájt (*PWMP*) az előosztó. A magasabb bájt kimeneteihez két *komparátor* csatlakozik, amelyek a bájt aktuális értékét a *PWM0*, és *PWM1* regiszterek tartalmával hasonlítják össze. Mindaddig, amíg a számláló felső bájtjának tartalma *kisebb*, mint a regiszterekbe írt érték, addig a *kimeneteken* ( $\overline{PWM0}, \overline{PWM1}$ ) *magas* szint van. Az *egyezőség után* – a periódus végéig – *alacsony* szint lesz.



17. ábra

A kimeneti jelek frekvenciáját az alábbi összefüggés határozza meg:

$$f_{\text{PWM}} = \frac{f_{\text{oszc}}}{2(1 + \text{PWMP})255}$$

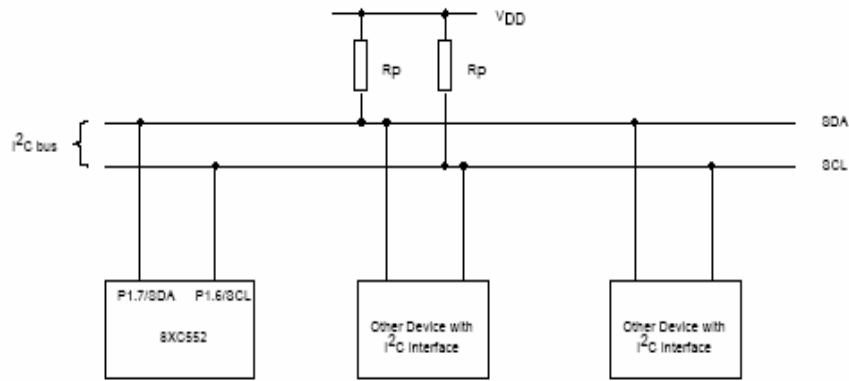
A megismert gyakorló készülékben az oszcillátor frekvenciája 11,0594 MHz. A PWM jel frekvenciája jó közelítéssel 84 – 21600 Hz között programozható 256 lépésben.

A két PWM jel frekvenciája egyforma, de a kitöltési tényező függetlenül programozható.

## 2.4. I<sup>2</sup>C buszon történő soros kommunikáció

Az **I<sup>2</sup>C**, Inter IC azaz **IC-k közötti busz**. Az I<sup>2</sup>C busz nagybonyolultságú integrált áramkörök közötti soros információcserét biztosító megvalósító sínrendszer. Az átviteli **félduplex** módon történik, sebessége kb. 100-400 kb/s értékig növelhető.

A kommunikáció kétirányú adatvonalon (**SDA = Serial Data**) keresztül történik, és egy külön órajel (**SCL = Serial Clock**) szinkronizálja az adatvezetéken az adatokat. Mindkét buszvonalhoz csatlakozó hardver elemek nyitott (open) kollektoros kialakításúak. A busz elvi felépítése a 18. ábrán látható.



18. ábra

Alaphelyzetben nincs adatátvitel, a vonalak magas állapotban vannak (minden csatlakozó elem kimeneti tranzisztora zárt). Ha bármelyik tranzisztor kinyit, akkor az a vezetékét alacsony szintre kapcsolja. Ezt a megoldást az elektronikában *huzalozott vagy* kapcsolatnak hívják.

A buszon az információáramlás iránya alapján megkülönböztetünk **Adó** ill. **Vevő** egységeket. Az átvitel vezérlését a **Master** eszköz végzi, irányítva a **Slave** egységeket

A funkciók: **TRX** = Transmitter (adó) egység, küldi az adatot a buszra.

**RCV** = Recivier (vevő) egység, adatot fogad a buszról.

A szerepek: **MST** = Master (mester) egység, kezdeményezi az átvitelt, generálja az órajelet, és leállítja az átvitelt.

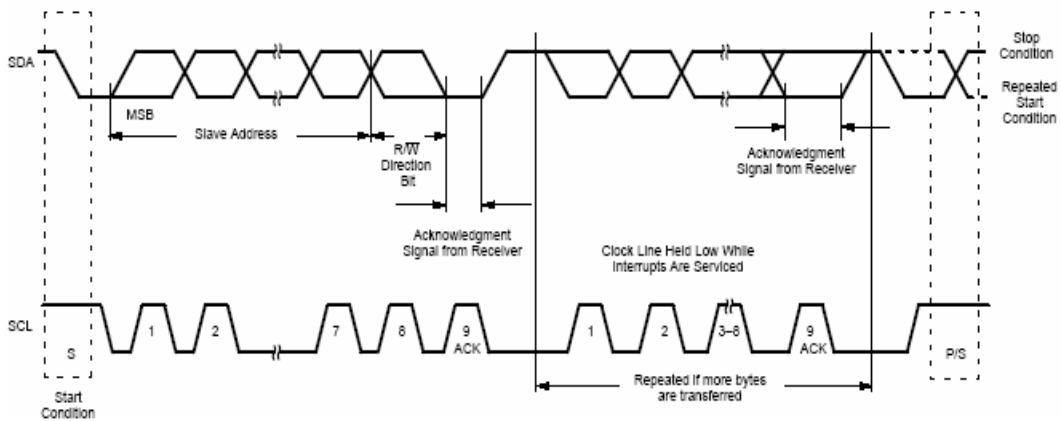
**SLV** = Slave (szolga): A mester által megcímezett egység.

A mikrokontroller I<sup>2</sup>C egysége mindegyik szerepre és funkcióra képes. Természetesen, ha ez az egység vezérli a perifériákat (és a gyakorlatban ez a leggyakoribb eset), akkor szerepe: mester és a perifériák a szolgák.

A busz **multi-master** kialakítású. Ez azt jelenti, hogy buszra kapcsolódó eszközök közül nem csak egy, hanem több is átveheti az átvitel vezérlését. Ezzel kapcsolatos fontos tulajdonság az **arbitration**, vagy döntés. Ez egy eljárás, ami biztosítja, ha egynél több mester akarja a buszt vezérelni, akkor ezt csak egyetlen egy tudja megtenni, így adatvesztés nem léphet fel.

Az információ átvitel **bájtos** szervezésű. Az adatközlés felépítését a 19. ábra alapján követhetjük. Az átviteli szekvencia a következő:

- **Alaphelyzet** a busz két vonala magas szintű.
- Az adatátvitelt a master az ún. **START** feltétellel kezdi azzal, hogy az **SCL** vonalon kiadott impulzus magas szintjénél az **SDA** vonalon egy **H-L** átmenet hoz létre.
- Ezután válnak aktívvá a vonalak.



19. ábra

- A következő lépésben a **Slave címe** kerül az **SDA** vonalra. A cím 7 bites, és a nyolcadik bit határozza meg az adatátvitel irányát. **Írás (W) 0 szint, olvasás (R) 1 szint.**
- A következő, **9.** órajel alatt az adó egység elengedi az **SDA** vonalat, és - a címzett vevő – azt **0 szintre húzza**, ami az adat elfogadását **acknowledge (ACK)** jelzi.
- A következőkben történik az adatok küldése, amelyek száma nincs korlátozva. Minden bájt vétele után következik az **ACK** jelzés.
- Az adatátvitel befejezését a mester az ún. **STOP** feltétellel zárja le azzal, hogy az **SCL** magas állapotában az **SDA** vonalon egy **L-H** átmenetet állít elő. Ezt követően válnak a vonalak inaktívvá.

Ha a vevő nem képes adatot venni, akkor az **ACK** bit küldése helyett az **SCL** vonalat húzza le **0** szintre. Ezt nevezzük **várakozó** állapotnak.

A "minden bájt nyugtázása" szabály alól két kivétel van:

- Amikor a master a vevő (**MST/RCV**). Ilyenkor az adónak valahogy jelezni kell az adó kell jelezze az adássorozat végét.. Az **ACK** jelhez kapcsolódó órajelet a mester

természetesen generálja, de az **SDA** vonalat nem húzza le L szintre. Ezt hívják negatív nyugtázásnak (**NACK**).

- A másik kivétel: a szolga akkor nem küld **ACK** jelet, ha nem képes újabb adatbájtokat elfogadni. Ez akkor lép fel, ha olyan átvitelt kezdeményezünk, amit nem képes fogadni.

A buszra kapcsolódó eszközök **címei** két csoportba sorolhatók:

- Az egyikben a cím **programozható**, ezek általában a mikrokontrollerek.
- A másik csoport a különféle funkciókat megvalósító periféria áramkörök. Ezeknél az eszközöknél a cím két részből áll: a 4 bites típuscímből, és a bites hardver címből. A típus cím az azonos funkciójú tokoknál mindig megegyezik. A hardver címet az adott tok megfelelő lábaira kötött logikai szintekkel állítható be.

Amennyiben a master több szolgálával végez – egymást követően - adatcserét, akkor a minden átvitelt lezáró **STOP**, majd az újabb **START** állapot sokat lassít az átvitelen. Az átvitel azzal gyorsítható, hogy a **STOP** helyett ismételt **START** állapot, majd az újabb slave cím következik. Ezt nevezzük ismételt **START** állapotnak.

Az **SIO1** soros vonalon történő kommunikáció vezérlése az **SICON** elnevezésű SFR regiszter egyes bitjeinek állításával történik.

	7	6	5	4	3	2	1	0
<b>SICON (D8H)</b>	<b>CR2</b>	<b>ENS1</b>	<b>STA</b>	<b>STO</b>	<b>SI</b>	<b>AA</b>	<b>CR1</b>	<b>CR0</b>

- **ENS1** engedélyező bit, 1 értékkel engedélyezi a kommunikációt.
- **STA** start bit, 1-be állításával az **SDA** vonalra kiadja a **START** feltételt, és az **SCL** vonalon – a beállított frekvenciájú órajelet generálja.
- **STO** stop bit, 1 értékre állításával generálja a **STOP** feltételt, és leállítja az órajelet.
- **SI** megszakítás bit, ha engedélyezett, akkor jelzi a státuszváltozásokat.
- **AA** acknowledge vezérlő bit.
- **CR0, CR1, CR2** bitekkel kell beállítani az átviteli frekvenciát.

Az **SISTA** jelű SFR regiszter tárolja az egyes állapotok „jelzőszámát”. A vezérelt állapotok végrehajtása ellenőrizhető a regiszter tartalma alapján.

Az SIO1 soros vonalon történő kommunikáció-vezérlő, és állapotjelzői katalógusi adatok.

## 2.5. Megszakítások

A 80C552 típusú kontroller megszakítás szerkezete megfelel a család alapját adó 8031/51 típuséval. Ezt a Digitálistechnika II. tantárgyban ismerték meg. Az 552 típusban – a perifériák bővítése miatt – újabb 10 megszakítási lehetőség van.

A **T2** számlálóhoz 8 db megszakítás kapcsolódik, úgymint a

- 4 **mintavételező** (capture) a CT0, CT1, CT2, CT3 jelűek. A mintavételező bemenetek a P1 port megfelelő bitjeinek másodlagos funkciói. Az hogy a megszakításkérés a jel pozitív, vagy negatív, esetleg mindkét irányú jelváltásakor következzen a CTCON regiszterben állítható be. Függetlenül is felhasználhatók külső megszakítás kezdeményezéshez.
- 3 **összehasonlítás** (compare) funkcióhoz a CM0, CM1, CM2 jelű belső források.
- A számláló **bájt**os, vagy **szavas** túlsordulásakor a T2 jelű belső forrás tartozik. Az hogy melyik legyen érvényes az a TM2CON regiszterben lévő megfelelő bitekkel választható ki.

A T2 megszakításai engedélyező – maszk - bitjei az **IEN1** regiszterben vannak.

A 8 csatornás **A/D** átalakító tartozó ADC jelű forrás az átalakítás befejezésekor kezdeményezhet megszakítást.

Az I2C buszon történő kommunikációhoz rendelt az S1 jelű forrás.

E megszakítások **rutinjaiban** a megszakításkérő biteket **törölni** kell!

A mikrokontroller család megszakításai fix címűek, ami azt jelenti, hogy minden megszakítás-forráshoz a kódmemória első lapján - a 0003H-től 8-as címtávolságonként - egy-egy cím (vektor-helyek) tartozik. Egy adott megszakítás elfogadása után a kiszolgáló rutint a CPU az adott megszakításhoz tartozó címen hívja.

A megszakítás létjöttének feltétele, hogy a megfelelő engedélyező bitek 1 értékűek legyenek. A megszakításokat engedélyező bitek az **IEN0**, és **IEN1** (interrupt enable) SFR -ekben vannak. A regiszterek bitjei közül az **EA** (IEN0.7) az **általános engedélyező** bit, míg a többi - az egyes megszakításforrásokhoz tartozó - un. **maszk** bitek pl. a T0-hoz az **ET0** (IEN0.1) tartozik.

A mikrokontroller megszakításai között eleve van egy hardver prioritási sorrend. Ez az alábbi:

**X0,S1,ADC,T0,CT0,CM0,X1,CT1,CM1,T1,CT2,CM2,S0,CT3,T2**

A sorrend lényege, hogy a magasabb prioritású megszakítású kérés az alacsonyabb szintű megszakítás kiszolgálása közben is érvényre juthat. Ezen kívül mindegyik megszakítás egy alacsonyabb, vagy magasabb prioritási szintre is programozható. Az azonos szintre beállítottak között továbbra is érvényes a hardver sorrend. A 80C552 típusú mikrokontroller 15 megszakítása az **IP0** és az **IP1** prioritásvezérlő regiszterekben állítható. (1 a magasabb, 0 az alacsonyabb szintre rendeli a megfelelő megszakításforrás kiszolgálását.) Hardver RESET hatására az összes megszakítás az alacsonyabb szintre kerül.

## 2.6. WATCH DOG számláló

A T3 jelű **WATCH DOG** számláló felhasználásával megoldható a zavarok hatására fellépő **hibás programfutásokból**, - pl. zárt ciklusba kerülés, vagy a programból történő kiugrás stb. – történő **automatikus visszatérésre**. A megoldás lényege, ha a számláló **túlsordul**, akkor **reset** -et hajt végre. A logikai vázlat a 31. ábrán látható.

Működés: a 11 bites előosztó (Prescaler) és a 8 bites 3 számláló az  $f_{oszc}/12$  frekvenciájú impulzussorozatot számlálja. A működtetés feltétele, hogy az  $\overline{EA}$  lábon 0 szint legyen.

Az előosztót követő T3 számláló

$$t = \frac{12 * 2048}{f_{oszc}}$$

időközönként incrementálódik. A kontroller resetelése a

$$t_R = t * S_{T3}$$

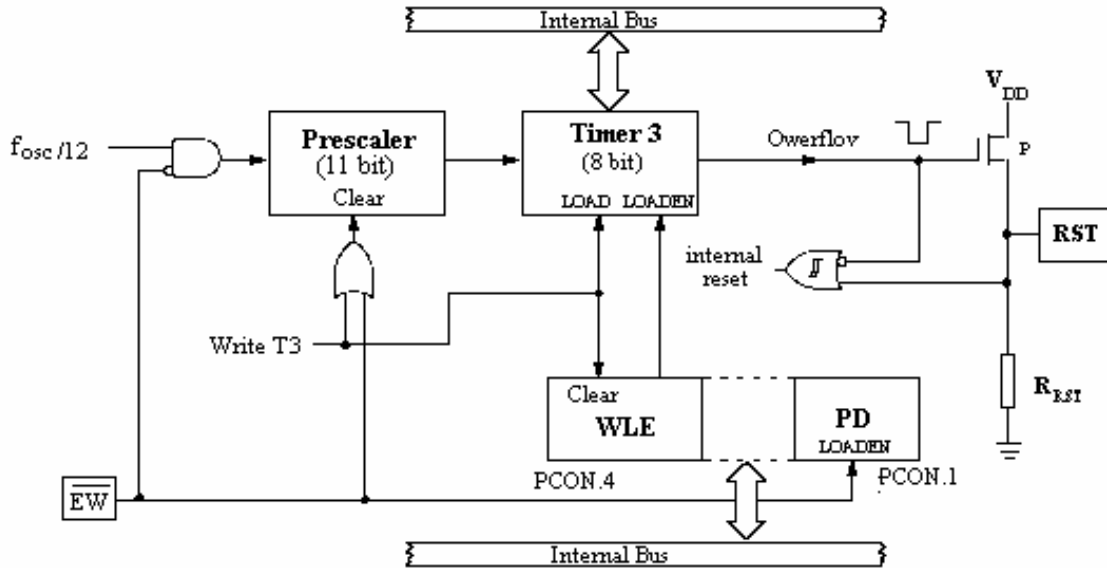
értéknél következik be, ha nem töltjük be a kezdőértéket. ( $S_{T3}$ ) aT3 számlálóba.

pl. 12 MHz oszcillátor frekvenciánál a  $t_R$  „várakozási” idő 2,048 ms és 522,24 ms között változtatható.

Az esetleges hibás működés elkerüléséhez a várakozási időn belül kell törölni az előszámlálót, és újra beírni a T3 -ba a kezdőértéket. Mivel minden program ciklikus, ezért az újra írást a ciklus azon helyén kell végrehajtani, ahova programfutás mindig visszatér.

Az újra írás két ütemben történik:

- először a WLE bitet (PCON.4) 1-be kell írni, majd
- a T3 tartalmának írása történhet, ugyanekkor automatikusan törlődik WLE.



20. ábra